

## Seminarort

CCG-Zentrum, Technologiepark  
Argelsrieder Feld 22, Geb. TE 03, D-82234 Weßling-Oberpaffenhofen

Eine Lageskizze sowie Hinweise für die Anreise und Übernachtung  
schicken wir Ihnen mit der Bestätigung der Anmeldung zu.

## Gebühr

EUR 1.490,-

Die CCG ist ein gemeinnütziger Verein und in Deutschland von der Um-  
satzsteuer befreit. Für Veranstaltungen an ausländischen Standorten  
gelten die dortigen Steuerregelungen.

Mitglieder der CCG erhalten 10% Rabatt. Studentenrabatte sind auf  
Nachfrage verfügbar. Die Rabatte sind nicht miteinander kombinierbar.

Bitte zahlen Sie bargeldlos nach Erhalt der Rechnung.

## Anmeldungen

Bitte möglichst bis 14 Tage vor Seminarbeginn an:

Carl-Cranz-Gesellschaft e.V., Argelsrieder Feld 22, D-82234 Weßling  
Tel. +49 (0) 8153 / 88 11 98 -12, E-Mail: [anmelden@ccg-ev.de](mailto:anmelden@ccg-ev.de)

**Internet:** [www.ccg-ev.de](http://www.ccg-ev.de)

Die Anmeldungen werden schriftlich bestätigt.

## Weitere Informationen zum Inhalt

Prof. Dr.-Ing. Peter Schulz  
E-Mail: [Dr.Peter.Schulz@t-online.de](mailto:Dr.Peter.Schulz@t-online.de)

## Stornierung

Bei Stornierungen, die später als 14 Tage vor Seminarbeginn eingehen,  
werden 25% der Gebühr, bei Nichterscheinen die volle Gebühr in Rech-  
nung gestellt. Die Vertretung eines angemeldeten Teilnehmers ist selbst-  
verständlich möglich.

## Ausfall von Seminaren oder Dozenten

Die CCG behält sich vor, bei zu geringer Teilnehmerzahl oder aus ande-  
ren triftigen Gründen ein Seminar bis 14 Tage vor Beginn abzusagen.  
Sie behält sich weiter vor, entgegen der Ankündigung im Programm auch  
kurzfristig einen Dozenten und evtl. auch dessen Thema zu ersetzen. Ein  
Schadensersatzanspruch bleibt ausgeschlossen.

## Teilnehmer

Fachleute und Entscheider aus der Privatwirtschaft oder dem öffentlichen  
Sektor, die vor der Aufgabe stehen, die Möglichkeiten der FPGA-  
Technologie bewerten zu können bzw. deren zukünftigen Einsatz in Be-  
tracht ziehen möchten oder damit zukünftig konfrontiert werden.

## Seminarinhalte

FPGAs stellen heute eine valide Option für die Implementierung im Bereich  
der Technischen Informatik dar. Auch wenn deren moderne Programmier-  
methodik mit einer Hardware-Beschreibungssprache vordergründig wie  
normale Software erscheint, liegen dem Entwurf doch völlig andere Para-  
digmen zugrunde.

Dieses Seminar vermittelt zunächst die Idee, die hinter der Programmier-  
baren Logik steckt und führt in deren Hardwarearchitektur ein. Dafür werden  
nur allgemeine Kenntnisse in Elektronik und Digitaltechnik vorausgesetzt.  
Das Seminar liefert einen Überblick über die aktuell relevanten FPGA-  
Hersteller mit ihren wichtigsten Produkten und deren Kenndaten. Grundle-  
gende systemtechnische Aspekte sowie Allgemeines zur Entwurfsmethodik  
werden vorgestellt. Am Ende des ersten Tages werden die Teilnehmerin-  
nen und Teilnehmer die FPGA-Technologie so weit verstehen, dass sie sie  
für die Konzipierung neuer Produkte in Betracht ziehen, auswählen und be-  
werten können.

Am zweiten Tag wird ein Basis-Training durchgeführt, welches eine Einfüh-  
rung in die Hardwarebeschreibungssprache VHDL beinhaltet. Trainiert wird  
mit einem VHDL-Simulator sowie mit einer Implementierungs-Software an  
einem FPGA-Board. Am Ende des zweiten Tages werden die Teilnehme-  
rinnen und Teilnehmer die FPGA-Entwicklungsmethodik so weit verstehen,  
dass sie deren Paradigmen im Unterschied zum Software-Entwurf erken-  
nen können.

## Vortragende

Prof. Dr.-Ing. Peter Schulz Hochschule für Angewandte Wissenschaften  
(HAW) Hamburg

## Unterlagen

Jeder Teilnehmer erhält die Vortragsunterlagen.  
Die Kosten dafür sind in der Gebühr enthalten.

## Seminar IN 3.39

# FPGA-Grundlagen und Einführung in die Entwurfsmethodik

19. - 20. März 2024  
Oberpaffenhofen bei München

## Wissenschaftliche Leitung

Prof. Dr.-Ing. Peter Schulz

## Seminarprogramm

---

**Dienstag, 19.03.2024**  
**10.15 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 10.15 – 10.30 | <b>Begrüßung, Organisation</b>  |
| 10.30 – 12.00 | <b>Technische Grundlagen</b> <ul style="list-style-type: none"><li>• Idee der programmierbaren Logik</li><li>• Hardwarestruktur von PLD/CPLD/FPGA/SoPC</li><li>• Konfigurationsmethoden</li></ul>               |
| 13.00 – 14.30 | <b>Herstellerüberblick</b> <ul style="list-style-type: none"><li>• AMD (vorm. Xilinx)</li><li>• Intel (vorm. Altera)</li><li>• Microchip ( vorm. Microsemi bzw. Actel)</li><li>• Lattice und Sonstige</li></ul> |
| 15.00 – 16.30 | <b>Entwurfsmethodik</b> <ul style="list-style-type: none"><li>• Systemaspekte</li><li>• Design-Flow</li><li>• IP-Cores</li></ul>  |

**Mittwoch, 20.03.2024**  
**08.30 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 08.30 – 10.00 | <b>VHDL-Entwurf, Teil 1</b> <ul style="list-style-type: none"><li>• Grundlagen</li><li>• Simulator-Tutorial</li><li>• Simulator-Übung</li><li>• Simulation mit Test-Bench</li></ul> |
| 10.30 – 12.00 | <b>Praxisteil 1</b> <ul style="list-style-type: none"><li>• FPGA-Board</li><li>• FPGA-Entwicklungsumgebung und Tutorial</li></ul>   |
| 13.00 – 14.30 | <b>VHDL-Entwurf, Teil 2</b> <ul style="list-style-type: none"><li>• Einfache Prozesse</li><li>• Bit-Vektoren und Arithmetik</li><li>• Zähler und Schieberegister</li></ul>          |
| 15.00 – 16.30 | <b>Praxisteil 2</b> <ul style="list-style-type: none"><li>• Beispielhafte FPGA-Implementierung sequenzieller Schaltungen</li><li>• Endliche Automaten</li></ul>                     |

## Unterlagen

---

Jeder Teilnehmer erhält die Schulungsunterlagen in gedruckter Form.

Die Kosten dafür sind in der Gebühr enthalten.

## Hinweis

---

Für das Basis-Training wird ein eigener Notebook-PC mit Windows-Betriebssystem benötigt. Die Simulations- und Implementierungs Software ist im Vorfeld zu installieren. Die FPGA-Hardware wird für die Dauer des Seminars beigestellt. Es besteht die Möglichkeit, am ersten Seminartag ab 09.00 Unterstützung durch den Kursleiter bei der Installation der Software zu bekommen. Bitte Bedarf im Vorfeld anmelden.

## Seminarort

CCG-Zentrum, Technologiepark  
Argelsrieder Feld 22, Geb. TE 03, D-82234 Weßling-Oberpaffenhofen

Eine Lageskizze sowie Hinweise für die Anreise und Übernachtung  
schicken wir Ihnen mit der Bestätigung der Anmeldung zu.

## Gebühr

EUR 1.490,-

Die CCG ist ein gemeinnütziger Verein und in Deutschland von der Um-  
satzsteuer befreit. Für Veranstaltungen an ausländischen Standorten  
gelten die dortigen Steuerregelungen.

Mitglieder der CCG erhalten 10% Rabatt. Studentenrabatte sind auf  
Nachfrage verfügbar. Die Rabatte sind nicht miteinander kombinierbar.

Bitte zahlen Sie bargeldlos nach Erhalt der Rechnung.

## Anmeldungen

Bitte möglichst bis 14 Tage vor Seminarbeginn an:

Carl-Cranz-Gesellschaft e.V., Argelsrieder Feld 22, D-82234 Weßling  
Tel. +49 (0) 8153 / 88 11 98 -12, E-Mail: [anmelden@ccg-ev.de](mailto:anmelden@ccg-ev.de)

**Internet:** [www.ccg-ev.de](http://www.ccg-ev.de)

Die Anmeldungen werden schriftlich bestätigt.

## Weitere Informationen zum Inhalt

Prof. Dr.-Ing. Peter Schulz  
E-Mail: [Dr.Peter.Schulz@t-online.de](mailto:Dr.Peter.Schulz@t-online.de)

## Stornierung

Bei Stornierungen, die später als 14 Tage vor Seminarbeginn eingehen,  
werden 25% der Gebühr, bei Nichterscheinen die volle Gebühr in Rech-  
nung gestellt. Die Vertretung eines angemeldeten Teilnehmers ist selbst-  
verständlich möglich.

## Ausfall von Seminaren oder Dozenten

Die CCG behält sich vor, bei zu geringer Teilnehmerzahl oder aus ande-  
ren triftigen Gründen ein Seminar bis 14 Tage vor Beginn abzusagen.  
Sie behält sich weiter vor, entgegen der Ankündigung im Programm auch  
kurzfristig einen Dozenten und evtl. auch dessen Thema zu ersetzen. Ein  
Schadensersatzanspruch bleibt ausgeschlossen.

## Teilnehmer

Fachleute und Entscheider aus der Privatwirtschaft oder dem öffentlichen  
Sektor, die vor der Aufgabe stehen, die Möglichkeiten der FPGA-  
Technologie bewerten zu können bzw. deren zukünftigen Einsatz in Be-  
tracht ziehen möchten oder damit zukünftig konfrontiert werden.

## Seminarinhalte

FPGAs stellen heute eine valide Option für die Implementierung im Bereich  
der Technischen Informatik dar. Auch wenn deren moderne Programmier-  
methodik mit einer Hardware-Beschreibungssprache vordergründig wie  
normale Software erscheint, liegen dem Entwurf doch völlig andere Para-  
digmen zugrunde.

Dieses Seminar vermittelt zunächst die Idee, die hinter der Programmier-  
baren Logik steckt und führt in deren Hardwarearchitektur ein. Dafür werden  
nur allgemeine Kenntnisse in Elektronik und Digitaltechnik vorausgesetzt.  
Das Seminar liefert einen Überblick über die aktuell relevanten FPGA-  
Hersteller mit ihren wichtigsten Produkten und deren Kenndaten. Grundle-  
gende systemtechnische Aspekte sowie Allgemeines zur Entwurfsmethodik  
werden vorgestellt. Am Ende des ersten Tages werden die Teilnehmerin-  
nen und Teilnehmer die FPGA-Technologie so weit verstehen, dass sie sie  
für die Konzipierung neuer Produkte in Betracht ziehen, auswählen und be-  
werten können.

Am zweiten Tag wird ein Basis-Training durchgeführt, welches eine Einfüh-  
rung in die Hardwarebeschreibungssprache VHDL beinhaltet. Trainiert wird  
mit einem VHDL-Simulator sowie mit einer Implementierungs-Software an  
einem FPGA-Board. Am Ende des zweiten Tages werden die Teilnehme-  
rinnen und Teilnehmer die FPGA-Entwicklungsmethodik so weit verstehen,  
dass sie deren Paradigmen im Unterschied zum Software-Entwurf erken-  
nen können.

## Vortragende

Prof. Dr.-Ing. Peter Schulz Hochschule für Angewandte Wissenschaften  
(HAW) Hamburg

## Unterlagen

Jeder Teilnehmer erhält die Vortragsunterlagen.  
Die Kosten dafür sind in der Gebühr enthalten.

## Seminar IN 3.39

# FPGA-Grundlagen und Einführung in die Entwurfsmethodik

19. - 20. März 2024  
Oberpaffenhofen bei München

## Wissenschaftliche Leitung

Prof. Dr.-Ing. Peter Schulz

## Seminarprogramm

---

**Dienstag, 19.03.2024**  
**10.15 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 10.15 – 10.30 | <b>Begrüßung, Organisation</b>  |
| 10.30 – 12.00 | <b>Technische Grundlagen</b> <ul style="list-style-type: none"><li>• Idee der programmierbaren Logik</li><li>• Hardwarestruktur von PLD/CPLD/FPGA/SoPC</li><li>• Konfigurationsmethoden</li></ul>               |
| 13.00 – 14.30 | <b>Herstellerüberblick</b> <ul style="list-style-type: none"><li>• AMD (vorm. Xilinx)</li><li>• Intel (vorm. Altera)</li><li>• Microchip ( vorm. Microsemi bzw. Actel)</li><li>• Lattice und Sonstige</li></ul> |
| 15.00 – 16.30 | <b>Entwurfsmethodik</b> <ul style="list-style-type: none"><li>• Systemaspekte</li><li>• Design-Flow</li><li>• IP-Cores</li></ul>  |

**Mittwoch, 20.03.2024**  
**08.30 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 08.30 – 10.00 | <b>VHDL-Entwurf, Teil 1</b> <ul style="list-style-type: none"><li>• Grundlagen</li><li>• Simulator-Tutorial</li><li>• Simulator-Übung</li><li>• Simulation mit Test-Bench</li></ul> |
| 10.30 – 12.00 | <b>Praxisteil 1</b> <ul style="list-style-type: none"><li>• FPGA-Board</li><li>• FPGA-Entwicklungsumgebung und Tutorial</li></ul>   |
| 13.00 – 14.30 | <b>VHDL-Entwurf, Teil 2</b> <ul style="list-style-type: none"><li>• Einfache Prozesse</li><li>• Bit-Vektoren und Arithmetik</li><li>• Zähler und Schieberegister</li></ul>          |
| 15.00 – 16.30 | <b>Praxisteil 2</b> <ul style="list-style-type: none"><li>• Beispielhafte FPGA-Implementierung sequenzieller Schaltungen</li><li>• Endliche Automaten</li></ul>                     |

## Unterlagen

---

Jeder Teilnehmer erhält die Schulungsunterlagen in gedruckter Form.

Die Kosten dafür sind in der Gebühr enthalten.

## Hinweis

---

Für das Basis-Training wird ein eigener Notebook-PC mit Windows-Betriebssystem benötigt. Die Simulations- und Implementierungs Software ist im Vorfeld zu installieren. Die FPGA-Hardware wird für die Dauer des Seminars beigestellt. Es besteht die Möglichkeit, am ersten Seminartag ab 09.00 Unterstützung durch den Kursleiter bei der Installation der Software zu bekommen. Bitte Bedarf im Vorfeld anmelden.

## Seminarort

CCG-Zentrum, Technologiepark  
Argelsrieder Feld 22, Geb. TE 03, D-82234 Weßling-Oberpaffenhofen

Eine Lageskizze sowie Hinweise für die Anreise und Übernachtung  
schicken wir Ihnen mit der Bestätigung der Anmeldung zu.

## Gebühr

EUR 1.490,-

Die CCG ist ein gemeinnütziger Verein und in Deutschland von der Um-  
satzsteuer befreit. Für Veranstaltungen an ausländischen Standorten  
gelten die dortigen Steuerregelungen.

Mitglieder der CCG erhalten 10% Rabatt. Studentenrabatte sind auf  
Nachfrage verfügbar. Die Rabatte sind nicht miteinander kombinierbar.

Bitte zahlen Sie bargeldlos nach Erhalt der Rechnung.

## Anmeldungen

Bitte möglichst bis 14 Tage vor Seminarbeginn an:

Carl-Cranz-Gesellschaft e.V., Argelsrieder Feld 22, D-82234 Weßling  
Tel. +49 (0) 8153 / 88 11 98 -12, E-Mail: [anmelden@ccg-ev.de](mailto:anmelden@ccg-ev.de)

**Internet:** [www.ccg-ev.de](http://www.ccg-ev.de)

Die Anmeldungen werden schriftlich bestätigt.

## Weitere Informationen zum Inhalt

Prof. Dr.-Ing. Peter Schulz  
E-Mail: [Dr.Peter.Schulz@t-online.de](mailto:Dr.Peter.Schulz@t-online.de)

## Stornierung

Bei Stornierungen, die später als 14 Tage vor Seminarbeginn eingehen,  
werden 25% der Gebühr, bei Nichterscheinen die volle Gebühr in Rech-  
nung gestellt. Die Vertretung eines angemeldeten Teilnehmers ist selbst-  
verständlich möglich.

## Ausfall von Seminaren oder Dozenten

Die CCG behält sich vor, bei zu geringer Teilnehmerzahl oder aus ande-  
ren triftigen Gründen ein Seminar bis 14 Tage vor Beginn abzusagen.  
Sie behält sich weiter vor, entgegen der Ankündigung im Programm auch  
kurzfristig einen Dozenten und evtl. auch dessen Thema zu ersetzen. Ein  
Schadensersatzanspruch bleibt ausgeschlossen.

## Teilnehmer

Fachleute und Entscheider aus der Privatwirtschaft oder dem öffentlichen  
Sektor, die vor der Aufgabe stehen, die Möglichkeiten der FPGA-  
Technologie bewerten zu können bzw. deren zukünftigen Einsatz in Be-  
tracht ziehen möchten oder damit zukünftig konfrontiert werden.

## Seminarinhalte

FPGAs stellen heute eine valide Option für die Implementierung im Bereich  
der Technischen Informatik dar. Auch wenn deren moderne Programmier-  
methodik mit einer Hardware-Beschreibungssprache vordergründig wie  
normale Software erscheint, liegen dem Entwurf doch völlig andere Para-  
digmen zugrunde.

Dieses Seminar vermittelt zunächst die Idee, die hinter der Programmier-  
baren Logik steckt und führt in deren Hardwarearchitektur ein. Dafür werden  
nur allgemeine Kenntnisse in Elektronik und Digitaltechnik vorausgesetzt.  
Das Seminar liefert einen Überblick über die aktuell relevanten FPGA-  
Hersteller mit ihren wichtigsten Produkten und deren Kenndaten. Grundle-  
gende systemtechnische Aspekte sowie Allgemeines zur Entwurfsmethodik  
werden vorgestellt. Am Ende des ersten Tages werden die Teilnehmerin-  
nen und Teilnehmer die FPGA-Technologie so weit verstehen, dass sie sie  
für die Konzipierung neuer Produkte in Betracht ziehen, auswählen und be-  
werten können.

Am zweiten Tag wird ein Basis-Training durchgeführt, welches eine Einfüh-  
rung in die Hardwarebeschreibungssprache VHDL beinhaltet. Trainiert wird  
mit einem VHDL-Simulator sowie mit einer Implementierungs-Software an  
einem FPGA-Board. Am Ende des zweiten Tages werden die Teilnehme-  
rinnen und Teilnehmer die FPGA-Entwicklungsmethodik so weit verstehen,  
dass sie deren Paradigmen im Unterschied zum Software-Entwurf erken-  
nen können.

## Vortragende

Prof. Dr.-Ing. Peter Schulz Hochschule für Angewandte Wissenschaften  
(HAW) Hamburg

## Unterlagen

Jeder Teilnehmer erhält die Vortragsunterlagen.  
Die Kosten dafür sind in der Gebühr enthalten.

## Seminar IN 3.39

# FPGA-Grundlagen und Einführung in die Entwurfsmethodik

19. - 20. März 2024  
Oberpaffenhofen bei München

## Wissenschaftliche Leitung

Prof. Dr.-Ing. Peter Schulz

## Seminarprogramm

---

**Dienstag, 19.03.2024**  
**10.15 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 10.15 – 10.30 | <b>Begrüßung, Organisation</b>  |
| 10.30 – 12.00 | <b>Technische Grundlagen</b> <ul style="list-style-type: none"><li>• Idee der programmierbaren Logik</li><li>• Hardwarestruktur von PLD/CPLD/FPGA/SoPC</li><li>• Konfigurationsmethoden</li></ul>               |
| 13.00 – 14.30 | <b>Herstellerüberblick</b> <ul style="list-style-type: none"><li>• AMD (vorm. Xilinx)</li><li>• Intel (vorm. Altera)</li><li>• Microchip ( vorm. Microsemi bzw. Actel)</li><li>• Lattice und Sonstige</li></ul> |
| 15.00 – 16.30 | <b>Entwurfsmethodik</b> <ul style="list-style-type: none"><li>• Systemaspekte</li><li>• Design-Flow</li><li>• IP-Cores</li></ul>  |

**Mittwoch, 20.03.2024**  
**08.30 – 16.30 Uhr**

---

- |               |   |
|---------------|---|
| 08.30 – 10.00 | <b>VHDL-Entwurf, Teil 1</b> <ul style="list-style-type: none"><li>• Grundlagen</li><li>• Simulator-Tutorial</li><li>• Simulator-Übung</li><li>• Simulation mit Test-Bench</li></ul> |
| 10.30 – 12.00 | <b>Praxisteil 1</b> <ul style="list-style-type: none"><li>• FPGA-Board</li><li>• FPGA-Entwicklungsumgebung und Tutorial</li></ul>   |
| 13.00 – 14.30 | <b>VHDL-Entwurf, Teil 2</b> <ul style="list-style-type: none"><li>• Einfache Prozesse</li><li>• Bit-Vektoren und Arithmetik</li><li>• Zähler und Schieberegister</li></ul>          |
| 15.00 – 16.30 | <b>Praxisteil 2</b> <ul style="list-style-type: none"><li>• Beispielhafte FPGA-Implementierung sequenzieller Schaltungen</li><li>• Endliche Automaten</li></ul>                     |

## Unterlagen

---

Jeder Teilnehmer erhält die Schulungsunterlagen in gedruckter Form.

Die Kosten dafür sind in der Gebühr enthalten.

## Hinweis

---

Für das Basis-Training wird ein eigener Notebook-PC mit Windows-Betriebssystem benötigt. Die Simulations- und Implementierungs Software ist im Vorfeld zu installieren. Die FPGA-Hardware wird für die Dauer des Seminars beigestellt. Es besteht die Möglichkeit, am ersten Seminartag ab 09.00 Unterstützung durch den Kursleiter bei der Installation der Software zu bekommen. Bitte Bedarf im Vorfeld anmelden.